

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-275001

(43)Date of publication of application : 21.10.1997

(51)Int.Cl.

H01C 7/00

H01C 1/14

H01P 1/00

H01P 1/22

H01P 1/26

H01P 3/08

(21)Application number : 08-082747

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.04.1996

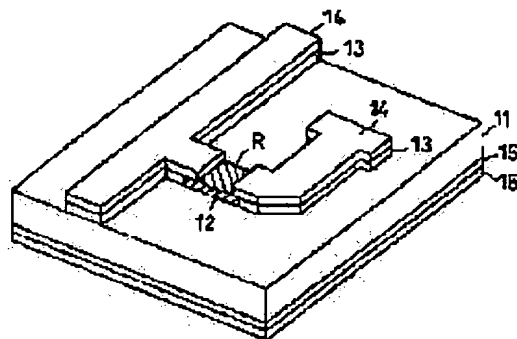
(72)Inventor : YAMAMOTO BUNRO

## (54) THIN-FILM CIRCUIT SUBSTRATE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the high-frequency loss by forming a thin-film resistance layer coupling it to a thin-film conductive layer formed by patternizing on the surface of a dielectric substrate having a thin-film conductive layer constituting a grounding surface at the rear.

**SOLUTION:** First of all, a film of a material of a low conductivity is formed on the surface of a dielectric substrate 11 by a method such as evaporation, etc., to make a resistance layer. And an unnecessary resistance layer is removed, and a thin-film resistance layer 12 being at a part to which a resistance R is to be connected is left. After that, a film of a material well-adherable to the dielectric substrate 11 is formed by a method such as evaporation, etc., to make a conductive layer. And this conductive layer is patterned, and constitutes a lower thin-film conductive layer 13. At this time, the lower thin-film conductive layer 13 is cut at a part, and to the cut part the thin-film resistance layer 12 is connected. Furthermore, a film of a material having a conductivity higher than lower thin-film conductive layer 13 is formed by a method such as evaporation, etc., to make a conductive layer. And the end part of the thin-film resistance layer 12 and conductive layers other than the lower thin-film conductive layer 13 are patterned to constitute an upper thin-film conductive layer 14.



## LEGAL STATUS

[Date of request for examination]

04.04.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275001

(43) 公開日 平成9年(1997)10月21日

(51)Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所	
H 0 1 C	7/00		H 0 1 C	7/00	C
	1/14			1/14	Z
H 0 1 P	1/00		H 0 1 P	1/00	Z
	1/22			1/22	
	1/26			1/26	

審査請求 有 請求項の数 5 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願平8-82747

(22) 出願日 平成8年(1996)4月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山本 文朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

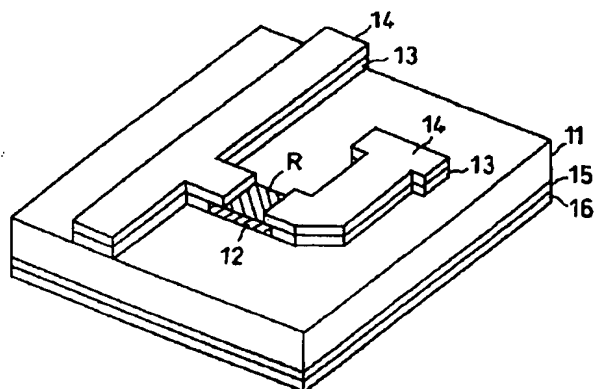
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 薄膜回路基板

(57) 【要約】

【課題】 高周波損失の少ない薄膜回路基板を提供すること。

【解決手段】 接地面を構成する薄膜導電層15、16が裏面に形成された誘電体基板11と、この誘電体基板11の表面にパターン化されて形成された薄膜導電層13、14と、この薄膜導電層13、14に連結して形成された薄膜抵抗層12とを具備している。



## 【特許請求の範囲】

【請求項 1】 接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面にパターン化されて形成された薄膜導電層と、この薄膜導電層に連結して形成された薄膜抵抗層とを具備したことを特徴とする薄膜回路基板。

【請求項 2】 接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面にパターン化されて形成された下層薄膜導電層と、この下層薄膜導電層に連結して形成された薄膜抵抗層と、前記下層薄膜導電層と異なる材料で構成され、前記下層薄膜導電層および前記下層薄膜導電層側の前記薄膜抵抗層の端部に重畳するように形成された上層薄膜導電層とを具備したことを特徴とする薄膜回路基板。

【請求項 3】 接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面に、一部が切断された構造にパターン化されて形成された薄膜導電層と、この薄膜導電層の切断された部分を連結する薄膜抵抗層とを具備したことを特徴とする薄膜回路基板。

【請求項 4】 接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面に、一部が切断された構造にパターン化されて形成された下層薄膜導電層と、この下層薄膜導電層の切断された部分に形成された薄膜抵抗層と、前記下層薄膜導電層と異なる材料で構成され、前記下層薄膜導電層および前記下層薄膜導電層側の前記薄膜抵抗層の端部に重畳するように形成された上層薄膜導電層とを具備したことを特徴とする薄膜回路基板。

【請求項 5】 下層薄膜導電層を構成する材料より上層薄膜導電層を構成する材料の方が導電率が高いことを特徴とする請求項 2 乃至請求項 4 のいずれか 1 つに記載された薄膜回路基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜抵抗を内蔵した高周波機器用の薄膜回路基板に関する。

## 【0002】

【従来の技術】高周波機器などに使用される薄膜回路基板は、薄膜形成技術を利用して誘電体基板上の薄膜導電層をパターン化し、伝送線路が形成される。このような構造の薄膜回路基板を例えば電界効果トランジスタのバイアス回路に用いる場合、バイアス電圧を調整できるように伝送線路の一部に薄膜抵抗層が構成される。

【0003】ここで、伝送線路の一部に薄膜抵抗が構成された従来の薄膜回路基板について図 2 を参照して説明する。符号 21 は、セラミックやガラスなどで形成された誘電体基板で、誘電体基板 21 の表面に、薄膜抵抗層 22 と薄膜導電層 23 が 2 層構造でパターン化され、伝送線路が構成されている。薄膜抵抗層 22 としては NiCr、Ta<sub>2</sub>N 等の、誘電体基板 21 との接着性の

よい導電率の低い材料が使用される。また、薄膜導電層 23 としては Au、Ag、Cu 等の比較的導電率の高い材料が使用される。なお、薄膜抵抗層 22 や薄膜導電層 23 は、これらを形成する材料の膜が蒸着などによって単層あるいは多層に形成されている。

【0004】誘電体基板 21 の裏面は、表面と同様に、薄膜抵抗層 24 が形成され、その上に薄膜導電層 25 が形成され、薄膜抵抗層 24 と薄膜導電層 25 の 2 層構造になっている。誘電体基板 21 の裏面はパターン化されず、薄膜抵抗層 24 と薄膜導電層 25 の 2 層構造が全面に構成されている。なお、薄膜導電層 25 は接地面を構成する。

【0005】上記した構造によれば、誘電体基板 21 を挟んで、誘電体基板 21 表面にパターン化された薄膜導電層 23 が形成され、誘電体基板 21 裏面に接地面を構成する薄膜導電層 25 が形成され、高周波用の伝送線路が構成されている。また、エッチング技術によって薄膜導電層 23 の一部が除去され、薄膜導電層 23 間に薄膜抵抗層 22 即ち抵抗 R が接続される。

【0006】上記した構成の薄膜回路基板を、例えば電界効果トランジスタのバイアス回路に用いる場合、薄膜回路基板上の伝送線路の一端に電界効果トランジスタの電極が接続される。そして、電極に印加されるバイアス電圧の調整は、例えば、薄膜抵抗層 24 の抵抗 R を跨ぐように薄膜導電層 23 間をリード線で接続した場合としない場合の抵抗 R 部分の電位降下の有無を利用して行われる。

## 【0007】

【発明が解決しようとする課題】上記した従来の薄膜回路基板では、誘電体基板 21 は両面とも、薄膜抵抗層 22、24 と薄膜導電層 23、25 の 2 層構造になっている。このような構造の場合、パターン化された伝送線路に高周波電流が流れると、高周波電流は表皮効果によって薄膜抵抗層 22 の部分に流れ、高周波損失が大きくなる。このため、高出力や低雑音が要求される回路に使用した場合、高周波損失による影響が大きくなる。このような高周波損失を補償するために、例えば、性能のすぐれた能動素子を使用しなければならず、コスト増大の原因になる。

【0008】本発明は、上記した欠点を解決するもので、高周波損失の少ない薄膜回路基板を提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明の薄膜回路基板は、接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面にパターン化されて形成された薄膜導電層と、この薄膜導電層に連結して形成された薄膜抵抗層とを具備している。

【0010】また、本発明の薄膜回路基板は、接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、

この誘電体基板の表面にパターン化されて形成された下層薄膜導電層と、この下層薄膜導電層に連結して形成された薄膜抵抗層と、前記下層薄膜導電層と異なる材料で構成され、前記下層薄膜導電層および前記下層薄膜導電層側の前記薄膜抵抗層の端部に重畳するように形成された上層薄膜導電層とを具備している。

【0011】また、本発明の薄膜回路基板は、接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面に、一部が中断された構造にパターン化されて形成された薄膜導電層と、この薄膜導電層の中断された部分を連結する薄膜抵抗層とを具備している。

【0012】また、本発明の薄膜回路基板は、接地面を構成する薄膜導電層が裏面に形成された誘電体基板と、この誘電体基板の表面に、一部が中断された構造にパターン化されて形成された下層薄膜導電層と、この下層薄膜導電層の中断された部分に形成された薄膜抵抗層と、前記下層薄膜導電層と異なる材料で構成され、前記下層薄膜導電層および前記下層薄膜導電層側の前記薄膜抵抗層の端部に重畳するように形成された上層薄膜導電層とを具備している。

【0013】また、下層薄膜導電層を構成する材料より上層薄膜導電層を構成する材料の方が導電率が高くなっている。

【0014】上記した薄膜回路基板によれば、誘電体板基板表面の伝送線路がパターン化される側には薄膜抵抗層が形成されていない。このため、誘電体板基板表面の伝送線路に高周波電流が流れる場合、高周波電流は導電率の高い薄膜導電層のみを流れることになり、高周波損失が少なくなる。

【0015】また、誘電体板基板表面の伝送線路を材料が異なる下層薄膜導電層と上層薄膜導電層の2層構造にした場合、例えば、下層薄膜導電層として誘電体板基板との接着性のよい材料を選び、上層薄膜導電層として導電率のよい材料を選ぶことができる。この場合、誘電体板基板と伝送線路間の機械的強度が強くなり、また、導電率のよい上層薄膜導電層によって損失の少ない伝送線路が構成できる。

【0016】また、上層薄膜導電層が薄膜抵抗層の端部に重畳する構造の場合は、薄膜導電層部分と薄膜抵抗層間の電氣的、あるいは機械的な接続が良好になり、特性のよい伝送線路が構成できる。

【0017】

【発明の実施の形態】本発明の実施形態について図1を参照して説明する。符号11は、セラミックやガラスなどで形成された誘電体基板である。そして、誘電体板基板11表面に抵抗Rが一部に接続された伝送線路が形成される。このとき、例えば、抵抗Rを構成するNiCr、Ta<sub>2</sub>N等の導電率の低い材料の膜が、誘電体板基板11の表面全体に蒸着などの方法によって単層あるい

は多層に形成され、抵抗層が形成される。そして、エッチング技術で不要な抵抗層を除去し、抵抗Rが接続される部分の薄膜抵抗層12が残される。その後、抵抗R部分に薄膜抵抗層12が残された誘電体板基板11表面に、Tiのような誘電体基板11との接着性のよい材料の膜を、蒸着などの方法で単層あるいは多層に形成し、導電層を形成する。そして、誘電体板基板11表面の導電層をエッチング技術でパターン化し、下層薄膜導電層13を構成する。このとき、下層薄膜導電層13が一部で切断され、その切断部分に薄膜抵抗層12が接続されるようにする。

【0018】その後、さらに、薄膜抵抗層12や下層薄膜導電層13が形成された誘電体基板11表面にAu、Ag、Cu等の下層薄膜導電層13より導電率が高い材料の膜を、蒸着などの方法で単層あるいは多層に導電層を形成する。そして、薄膜抵抗層12の端部や下層薄膜導電層13以外の導電層をエッチング技術でパターン化し、上層薄膜導電層14を構成する。このとき、下層薄膜導電層13と上層薄膜導電層14の2層構造の伝送線路が構成される。なお、上層薄膜導電層14は、薄膜抵抗層12上で切断された形になり、この部分に、薄膜抵抗層12即ち抵抗Rが接続される。

【0019】なお、誘電体板基板11の裏面は、Tiのような誘電体基板11との接着性のよい材料の導電層15がまず全面に形成され、その後、Au、Ag、Cu等の導電率のより高い材料の導電層16が、下層の導電層15上に形成される。

【0020】上記した構造によれば、誘電体板基板11表面に構成された伝送線路は下層薄膜導電層13と上層薄膜導電層14で構成され薄膜抵抗層がない。このため、伝送線路を高周波電流が流れる場合、高周波電流は導電率の高い下層薄膜導電層13部分のみを流れ、高周波損失が少なくなる。

【0021】また、上記の実施形態では、上下の薄膜導電層13、14の切断された部分を連結するように薄膜抵抗層12が設けられている。しかし、薄膜抵抗層12が終端抵抗を構成する場合は、薄膜抵抗層12は薄膜導電層の端部に形成された形になる。

【0022】

【発明の効果】本発明によれば、高周波損失の小さい薄膜抵抗内蔵の薄膜回路基板を実現できる。

【図面の簡単な説明】

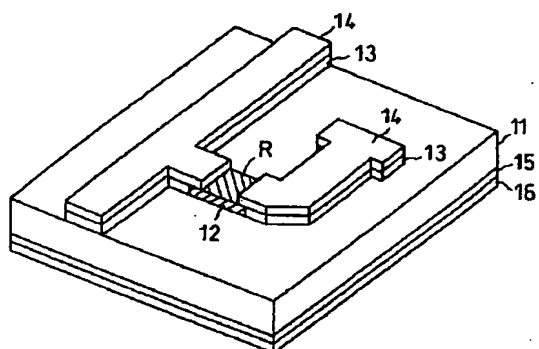
【図1】本発明の実施形態を示す斜視図である。

【図2】従来例を示す斜視図である。

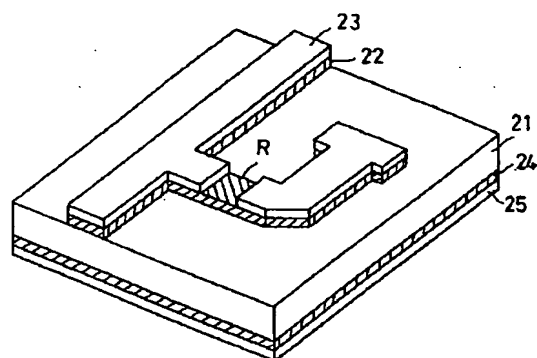
【符号の説明】

11…誘電体基板  
12…薄膜抵抗層  
13…下層薄膜導電層  
14…上層薄膜導電層  
15、16…導電層

【図 1】



【図 2】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 P 3/08

識別記号

庁内整理番号

F I

H 0 1 P 3/08

技術表示箇所